

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-190549

(43)Date of publication of application : 05.07.2002

(51)Int.Cl. H01L 23/12
H05K 3/24
H05K 3/46

(21)Application number : 2001-305771

(71)Applicant : SUMITOMO BAKELITE CO LTD

(22)Date of filing : 01.10.2001

(72)Inventor : AOKI HITOSHI
OKUGAWA YOSHITAKA
NAKAMURA KENSUKE
KATO MASAOKI
HARA HIDETAKA

(30)Priority

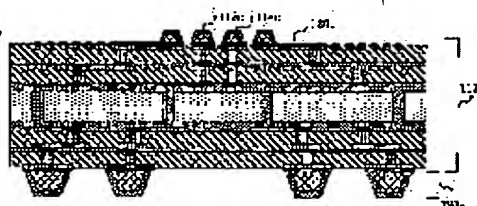
Priority number : 2000304078 Priority date : 03.10.2000 Priority country : JP

(54) MULTILAYER WIRING BOARD AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer wiring board having outer connection terminals of high connection reliability.

SOLUTION: The multilayer wiring board 113b has the outer connection terminals 120a and 220c in the outermost layer. The outer connection terminals are constituted of a columnar metallic core 118c obtained by etching a metallic layer having uniform thickness. The connecting part of the metallic core and a wiring pattern on the outermost layer is formed by connection through electrolytic plating or electroless plating.



LEGAL STATUS

[Date of request for examination] 15.06.2004

[Date of sending the examiner's decision of rejection] 20.03.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the multilayer-interconnection plate which has a terminal for external connection in an outermost layer of drum -- it is -- the terminal for external connection -- abbreviation -- abbreviation obtained by etching the metal layer of uniform thickness -- the multilayer-interconnection plate which consists of a metal core of the shape of a column which has uniform height, and is characterized by for the connection of the circuit pattern of a metal core and an outermost layer of drum to be connection by electrolysis plating or nonelectrolytic plating.

[Claim 2] The multilayer-interconnection plate according to claim 1 characterized by covering a part of metal core front face [at least] with the solder coat.

[Claim 3] The process which forms a circuit pattern with electrolysis plating by considering a metal layer as the lead for electrolysis plating, By etching selectively the metal layer which is the manufacture approach of a multilayer-interconnection plate including the process which removes a metal layer by etching, and is used in case the outermost layer of drum of a multilayer-interconnection plate is formed, and removing it The manufacture approach of the multilayer-interconnection plate characterized by coming to contain the process which forms the terminal for external connection which has a metal core on the outermost layer of drum of a multilayer-interconnection plate.

[Claim 4] The process which forms a circuit pattern with electrolysis plating by considering a metal layer as the lead for electrolysis plating, The process which forms an insulating layer on a circuit pattern, and the process which forms beer in an insulating layer so that some circuit patterns may be exposed, a metal layer -- the lead for electrolysis plating -- carrying out -- a conductor -- with the process which forms a post with electrolysis plating a conductor -- either [at least] the front face of a post, or the front face of the joint-ed of a connected layer -- junction -- public funds -- with the process which forms a group ingredient layer The process which forms an adhesives layer in either [at least] the front face of an insulating layer, or the front face of a connected layer, a conductor -- a post and a joint-ed -- an adhesives layer -- minding -- junction -- public funds -- it joining by the group ingredient layer and an insulating layer and a connected layer with the process pasted up by the adhesives layer By etching selectively the metal layer which is the manufacture approach of a multilayer-interconnection plate including the process which removes a metal layer by etching, and is used in case the outermost layer of drum of a multilayer-interconnection plate is formed, and removing it The manufacture approach of the multilayer-interconnection plate characterized by coming to contain the process which forms the terminal for external connection which has a metal core on the outermost layer of drum of a multilayer-interconnection plate.

[Claim 5] The manufacture approach of the multilayer-interconnection plate according to claim 3 or 4 characterized by forming a solder coat in the front face of a metal core.

[Claim 6] The multilayer-interconnection plate characterized by being obtained by the manufacture approach of a multilayer-interconnection plate according to claim 3 to 5.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a multilayer-interconnection plate and a multilayer-interconnection plate. Furthermore, it is related with the multilayer-interconnection plate manufactured by the manufacture approach of a multilayer-interconnection plate of having a terminal for external connection with high connection dependability about the multilayer-interconnection plate carrying a semiconductor chip in detail, and its manufacture approach.

[0002]

[Description of the Prior Art] As for high density integration of electronic parts and the semiconductor package which high-density-assembly-ization is progressing further and is used for these electronic equipment, also compared with the former, a miniaturization and many pin-ization are progressing to the advanced-features list of electronic equipment in recent years increasingly with the demand of small-and-light-izing.

[0003] The conventional circuit board had the activity of the wiring substrate which was called the printed wired board, carried out laminating adhesion of two or more copper foil stuck on the glass epoxy plate which consists of a laminate which carried out impregnation of the epoxy resin to the textile fabrics of a glass fiber in piles after patterning, made the through hole with the drill, performed copper plating on the wall surface of this hole, formed beer and performed electrical connection between layers in use. However, the miniaturization of loading components and densification progress, in the above-mentioned wiring substrate, a wiring consistency is insufficient and a problem arises increasingly in loading of components.

[0004] The build up multilayer-interconnection plate is adopted by such background in recent years. A build up multilayer-interconnection plate is fabricated accumulating the insulating layer and conductor which consist of only resin. As the beer formation approach, instead of the conventional drilling, laser, the plasma method, the photograph method, etc. are various, and densification is attained by arranging the beer hall of a minor diameter freely. As the interlayer connection section, there are bride beer (Blind Via), BARIDOBIA (Buried Via: structure which filled up beer with the conductor), etc., and especially the BARIDO beer hall in which the stacked beer which forms beer on beer is possible attracts attention. As a BARIDO beer hall, the approach of filling up a beer hall with plating, and when filling up with a conductive paste etc., it is divided. On the other hand, as an approach of forming a circuit pattern, there are an approach (subtractive process) of etching copper foil, an approach (additive process) by electrolytic copper plating, etc., and especially the additive process that can respond to the densification of a wiring consistency is beginning to attract attention.

[0005] In carrying the semiconductor package using such a multilayer-interconnection plate in a printed circuit board (mother board), it is becoming very general to use a solder bump. The connection by the solder bump still has many problems from a viewpoint of junction dependability in order not to have the stress relaxation a plane-of-composition product is small and according to a metal lead further as compared with the approach of connecting a metal lead with solder like QFP (Quad Flat Package), either.

[0006] On the other hand, as an approach of mounting a semiconductor chip in a substrate, although the flip chip method etc. is learned by the wire-bonding method, the TAB method, and the pan, recently, the flip-chip-bonding method advantageous to the miniaturization of a semiconductor package attracts attention. It is necessary to form a solder bump in the electrode of a semiconductor chip beforehand by this flip-chip-bonding method. As an approach of forming a solder bump, although vacuum evaporation technique, print processes, the solder ball aligning method, the stud bump method, electrolysis plating, etc. are known, it has problems, such as height dispersion of production time, a manufacturing cost, and a solder bump.

[0007] By the solder bump, Sn-37Pb (eutectic solder) currently generally used is begun, and lead free solder like Sn-36Pb-2Ag and Sn-3.5Ag which carried out little addition of the silver, and various types are used for the eutectic. On the other hand, the type which coated the perimeter of a copper core with solder is also considered like a copper core solder bump.

[0008] An electronics mounting institute magazine, vol.2, No.4 (1999), and P298-302 "although it is not concerned with the existence of Cu core by elevated-temperature neglect but joint reinforcement falls it turned out that it is hard to carry out elevated-temperature degradation of the direction of Cu core solder ball rather than an Sn-37Pb solder ball and an Sn-36Pb-2Ag solder ball. """, in order that the Au-Cu-Sn layer formed on nickel plating layer at the time of a reflow may work as a barrier layer which controls the reaction of nickel-Sn with a quick growth rate in the case of Cu core solder ball, even if it carries out elevated-temperature neglect, Pb segregation layer leading to elevated-temperature degradation is not formed in a joint. It is indicated as ". Although junction dependability can be raised by using a copper core solder ball, since the copper core solder ball is not used for a large quantity like an Sn-37Pb solder ball, leading to a steep cost rise can imagine it easily.

[0009] As mentioned above, while a copper core solder bump can expect high connection dependability, cost is high, and the solder bump without a copper core like an Sn-37Pb solder bump has a problem in connection dependability, while cost is low.

[0010]

[Problem(s) to be Solved by the Invention] This invention aims at offering the multilayer-interconnection plate which has a terminal for external connection with high connection dependability, and its manufacture approach in view of such a solder bump's trouble in the multilayer-interconnection plate carrying a semiconductor chip.

[0011]

[Means for Solving the Problem] That is, this invention offers a following multilayer-interconnection plate and its following manufacture approach.

(1) the multilayer-interconnection plate which has a terminal for external connection in an outermost layer of drum -- it is -- the terminal for external connection -- abbreviation -- abbreviation obtained by etching the metal layer of uniform thickness -- the multilayer-interconnection plate which consists of a metal core of the shape of a column which has uniform height, and is characterized by for the connection of the circuit pattern of a metal core and an outermost layer of drum to be connection by electrolysis plating or nonelectrolytic plating.

(2) The multilayer-interconnection plate given [said] in ** (1) term characterized by covering a part of metal core front face [at least] with the solder coat.

(3) The process which forms a circuit pattern with electrolysis plating by considering a metal layer as the lead for electrolysis plating, By etching selectively the metal layer which is the manufacture approach of a multilayer-interconnection plate including the process which removes a metal layer by etching, and is used in case the outermost layer of drum of a multilayer-interconnection plate is formed, and removing it The manufacture approach of the multilayer-interconnection plate characterized by coming to contain the process which forms the terminal for external connection which has a metal core on the outermost layer of drum of a multilayer-interconnection plate.

(4) The process which forms a circuit pattern with electrolysis plating by considering a metal layer as the lead for electrolysis plating, The process which forms an insulating layer on a circuit pattern, and the process which forms beer in an insulating layer so that some circuit patterns may be exposed, a metal layer -- the lead for electrolysis plating -- carrying out -- a conductor

-- with the process which forms a post with electrolysis plating a conductor -- either [at least] the front face of a post, or the front face of the joint-ed of a connected layer -- junction -- public funds -- with the process which forms a group ingredient layer The process which forms an adhesives layer in either [at least] the front face of an insulating layer, or the front face of a connected layer, a conductor -- a post and a joint-ed -- an adhesives layer -- minding -- junction -- public funds -- it joining by the group ingredient layer and an insulating layer and a connected layer with the process pasted up by the adhesives layer By etching selectively the metal layer which is the manufacture approach of a multilayer-interconnection plate including the process which removes a metal layer by etching, and is used in case the outermost layer of drum of a multilayer-interconnection plate is formed, and removing it The manufacture approach of the multilayer-interconnection plate characterized by coming to contain the process which forms the terminal for external connection which has a metal core on the outermost layer of drum of a multilayer-interconnection plate.

(5) The manufacture approach of a multilayer-interconnection plate given in said ** (3) term or ** (4) term characterized by forming a solder coat in the front face of a metal core.

(6) The multilayer-interconnection plate characterized by being obtained by the manufacture approach of a multilayer-interconnection plate given in either of the said ** (3) term - ** (5) terms.

[0012]

[Embodiment of the Invention] Hereafter, although the operation gestalt of this invention is explained with reference to a drawing, this invention is not limited at all by this.

[0013] Drawing 1 (a) - drawing 4 (r) are drawings for explaining an example of the manufacture approach of the multilayer-interconnection plate which is the 1st operation gestalt by this invention, and drawing 4 (r) is the sectional view showing an example of the structure of the multilayer-interconnection plate obtained by this invention.

[0014] As that of the manufacture approach of the multilayer-interconnection plate of this invention, the plating resist 102 by which patterning was carried out is first formed on metal layer 101a (drawing 1 (a)). For example, on metal layer 101a, this plating resist 102 laminates the dry film resist of ultraviolet-rays photosensitivity, exposes it selectively using a negative film etc., and can be formed by developing negatives after that. Although what kind of thing is sufficient as it as long as the construction material of metal layer 101a is suitable for the manufacture approach of this invention, it needs to have resistance to the drug solution used especially, and to be able to remove by etching eventually. As construction material of metal layer 101a, copper, a copper alloy, 42 alloys, nickel, etc. are mentioned, for example.

[0015] Next, the resist metal layer 103 is formed with electrolysis plating by considering metal layer 101a as the lead for electrolysis plating (drawing 1 (b)). The resist metal layer 103 is formed in the part in which the plating resist 102 on metal layer 101a is not formed by this electrolysis plating. Although what kind of thing is sufficient as it as long as the construction material of the resist metal layer 103 is suitable for this manufacture approach, it needs to have resistance to the drug solution used in case etching removes metal layer 101a eventually especially. As construction material of the resist metal layer 103, nickel, gold, tin, silver, solder, palladium, etc. are mentioned, for example. As a configuration of a desirable resist metal layer, they are one or more lamination and the two-layer configuration of gold and nickel which consist of each construction material of gold, silver, palladium, and nickel, or the lamination containing solder. In addition, the object which forms the resist metal layer 103 is preventing the circuit pattern 104 shown in drawing 1 (c) being corroded and corroded by the drug solution used in case metal layer 101a's is etched. Therefore, when the circuit pattern 104 shown in drawing 1 (c) has resistance to the drug solution used in case metal layer 101a is etched, this resist metal layer 103 is unnecessary. Moreover, the resist metal layer 103 does not need to be the same pattern as a circuit pattern 104, and before it forms plating resist 102 on metal layer 101a, it may form the resist metal layer 103 all over metal layer 101a.

[0016] Next, a circuit pattern 104 is formed with electrolysis plating by considering metal layer 101a as the lead for electrolysis plating (drawing 1 (c)). A circuit pattern 104 is formed in the part in which the plating resist 102 on metal layer 101a is not formed by this electrolysis plating.

Although what kind of thing may be used as construction material of a circuit pattern 104 as long as it is suitable for this manufacture approach, it is required to have resistance to the drug solution used in case etching removes the resist metal layer 103 eventually especially. In practice, a best policy selects the construction material of the resist metal layer 103 which can etch a circuit pattern 104 with the drug solution which is not corroded and corroded. As construction material of a circuit pattern 104, copper, nickel, gold, tin, silver, palladium, etc. are mentioned, for example. Furthermore, the circuit pattern 104 stabilized in low electric resistance is obtained by using copper.

[0017] Next, plating resist 102 is removed (drawing 1 (d)), and an insulating layer 105 is formed on the formed circuit pattern 104 (drawing 1 (e)). Anythings can be used for it if the resin which constitutes an insulating layer 105 fits the manufacture approach of this invention. Moreover, the approach suitable for the resin to be used is sufficient as the formation approach of an insulating layer 105, a resin varnish is directly applied by the approach of printing, a curtain coat, a bar coat, etc., or the approach of carrying out the laminating of the dry film type resin by the approach of a vacuum lamination, the vacuum press, etc. is mentioned. Especially the copper foil with resin marketed becomes very flat, without the front face of an insulating layer 105 being influenced by the irregularity of a circuit pattern 104 if it fabricates while acquisition is easy and embeds the irregularity of a circuit pattern 104 by vacuum lamination, and copper foil is finally etched. Moreover, since the detailed roughening configuration on the front face of copper foil is imprinted by the front face of an insulating layer 105, adhesion with the adhesives layer 109 shown in drawing 2 (i) is securable.

[0018] Next, beer 106 is formed in the formed insulating layer 105 (drawing 1 (f)). As long as the formation approach of beer 106 is an approach of being suitable for the manufacture approach of this invention, what kind of approach is sufficient as it, and laser, the dry etching by the plasma, chemical etching, etc. are mentioned. Moreover, when an insulating layer 105 is used as a photopolymer, beer 106 can also be formed in exposing an insulating layer 105 selectively and developing it.

[0019] next, metal layer 101a -- the lead for electrolysis plating -- carrying out -- a conductor -- post 107 is formed with electrolysis plating (drawing 2 (g)). the part in which the beer 106 of an insulating layer 105 is formed by this electrolysis plating -- a conductor -- post 107 is formed. electrolysis plating -- a conductor -- if post 107 is formed -- a conductor -- the configuration at the head post 107 is freely controllable. a conductor -- as construction material of post 107, if suitable for the manufacture approach of this invention, what kind of thing may be used, for example, copper, nickel, gold, tin, silver, palladium, etc. will be mentioned. furthermore, the conductor stabilized with low electric resistance by using copper -- post 107 is obtained.

[0020] next, a conductor -- the front face (head) of post 107 -- junction -- public funds -- the group ingredient layer 108 is formed (drawing 2 (h)). junction -- public funds -- the approach of forming with nonelectrolytic plating as the formation approach of the group ingredient layer 108, the approach of forming with electrolysis plating by considering metal layer 101a as the lead for electrolysis plating, and junction -- public funds -- the approach of printing the paste containing a group ingredient is mentioned. the approach by printing -- the mask for printing -- a conductor -- the approach by nonelectrolytic plating or electrolysis plating although it is necessary to align with a sufficient precision to post 107 -- a conductor -- except for the front face of post 107 -- junction -- public funds -- since the group ingredient layer 108 is not formed -- a conductor -- it is easy to respond also to detailed-izing and densification of post 107. Since the metal which can be galvanized rather than the approach by nonelectrolytic plating by the approach by electrolysis plating is easy also for management of a drug solution variously especially, it is dramatically suitable. If it is the metal which is shown in drawing 2 (j) and in which the joint 112-ed and metal junction are possible as construction material of the metallic material layer 108 for junction, what kind of thing may be used, for example, solder will be mentioned. It is desirable to use also in solder the solder which consists of at least two sorts of Sn, In, or Sn, Ag, Cu, Zn, Bi, Sb, Pb, In and Au. It is more desirable environment-friendly Pb free solder. in addition -- drawing 2 (h) -- a conductor -- the front face of post 107 -- junction -- public funds -- although the example which forms the group ingredient layer 108 was shown -- junction -- public funds --

the object which forms the group ingredient layer 108 -- a conductor -- since it is joining post 107 and the joint 112-ed -- the joint 112-ed -- junction -- public funds -- the group ingredient layer 108 may be formed. of course, a conductor -- you may form in both the front faces of post 107 and the joint 112-ed.

[0021] Next, the adhesives layer 109 is formed in the front face of an insulating layer 105 (drawing 2 (i)). The approach for which it was suitable according to the adhesives resin to be used may be used for formation of the adhesives layer 109, a resin varnish is directly applied by the approach of printing, a curtain coat, a bar coat, etc., or the approach of carrying out the laminating of the dry film type resin by the approach of a vacuum lamination, the vacuum press, etc. is mentioned. In addition, although drawing 2 (i) showed the example which forms the adhesives layer 109 in the front face of an insulating layer 105, the adhesives layer 109 may be formed in the front face of the connected layer 111. Of course, you may form in both the front faces of an insulating layer 105 and the connected layer 111.

[0022] Next, alignment of the connection layer 110 and the connected layer 111 which were obtained according to the above-mentioned process is carried out (drawing 2 (j)). The approach of carrying out alignment by the pin the approach of reading the positioning mark currently formed beforehand with image recognition equipment in the connection layer 110 and the connected layer 111, and carrying out alignment to them and for alignment etc. can be used for alignment. In addition, although drawing 2 (j) showed the example which uses the core substrate 116 of FR-4 grade used in order to give rigid nature to multilayer-interconnection plate 113a shown in drawing 4 (r) as a connected layer 111, only what formed the circuit pattern 104 in metal layer 101a as shown in drawing 1 (d) can also be used.

[0023] Next, the laminating of the connection layer 110 and the connected layer 111 is carried out (drawing 2 (k)). as the laminating approach -- the vacuum press -- using -- a conductor -- post 107 -- the adhesives layer 109 -- minding -- junction -- public funds -- it pressurizes until it carries out metal junction with the joint 112-ed by the group ingredient layer 108, and it can heat further, the adhesives layer 109 can be stiffened, and the connection layer 110 and the connected layer 111 can be pasted up.

[0024] Next, etching removes metal layer 101a (drawing 3 (l)). The resist metal layer 103 is formed between metal layer 101a and a circuit pattern 104, since the resist metal layer 103 has resistance to the drug solution used in case etching removes metal layer 101a, even if it etches metal layer 101a, the resist metal layer 103 is not corroded and corroded, and a circuit pattern 104 is not corroded and corroded as a result. The construction material of metal layer 101a can use a commercial ammonia system etching reagent, when the construction material of copper and the resist metal layer 103 is nickel, tin, or solder. In the case of gold or silver, the construction material of copper and the resist metal layer 103 can use [the construction material of metal layer 101a] almost all etching reagents including a ***** NI iron solution and a cupric chloride solution.

[0025] Next, etching removes the resist metal layer 103 (drawing 3 (m)). Since a circuit pattern 104 has resistance to the drug solution used in case etching removes the resist metal layer 103, a circuit pattern 104 is not corroded and corroded. Therefore, a circuit pattern 104 is exposed by removing the resist metal layer 103. The construction material of a circuit pattern 104 can use commercial solder and nickel remover (for example, the Mitsubishi Gas Chemical make, Pewtax), when the construction material of copper and the resist metal layer 103 is nickel, tin, or solder. The construction material of copper and the resist metal layer 103 has the construction material of a circuit pattern 104 difficult for etching the resist metal layer 103, without making a circuit pattern 104 corrode and corrode, when it is gold. In this case, the process which etches the resist metal layer 103 is skipped, and it may leave the resist metal layer 103.

[0026] Then, it carries out by repeating an above-mentioned process (j), i.e., drawing 2 , - drawing 3 (m) . Namely, the thing in the middle of manufacture of the multilayer-interconnection plate 113 (113a, 113b) shown in drawing 3 (m) is used as a connected layer. By forming a connection layer in both sides of the core substrate 116, and carrying [use / as a connected layer / what was obtained further by this] out by performing the laminating process shown in drawing 2 (j) , by repeating the laminating process shown in drawing 2 (j) - drawing 3 (m) For

example, a two-layer [every] connection layer is formed in both sides of the core substrate 116 (drawing 3 (n)).

[0027] It is drawing for explaining the process at which, as for the semiconductor chip 202a loading side of multilayer-interconnection plate 113a, drawing 3 (o) - drawing 4 (p) form terminal 120a for external connection in outermost-layer-of-drum 117b of an opposite hand. That is, metal core 118 of terminal 120a for external connection a is formed by etching selectively metal layer 101c used in order to form outermost-layer-of-drum 117b of multilayer-interconnection plate 113a (drawing 3 (o)). Then, solder coat 119a is formed so that formed metal core 118a may be covered (drawing 4 (p)). The approach of forming with nonelectrolytic plating, the approach of forming with electrolysis plating, and the approach of printing soldering paste are mentioned to the formation approach of solder coat 119a. In electrolysis plating, solder plating can be performed by the ability considering metal layer 101b used in order to form outermost-layer-of-drum 117a of the semiconductor chip 202a loading side of multilayer-interconnection plate 113a as the lead for electrolysis plating, and it can form solder coat 119a.

[0028] In the case of the copper alloy with which the construction material of metal layer 101c uses copper or copper as a principal component, terminal 120a for external connection becomes the structure where solder coat 119a was formed in the copper core (metal core 118a).

Therefore, as compared with the case where terminal 120a for external connection is formed only with solder, improvement in connection dependability is expectable. Moreover, since metal layer 101c used in order to manufacture multilayer-interconnection plate 113a is etched, metal core 118a is formed and solder coat 119a is given, equivalent effectiveness can be acquired without using an expensive copper core solder ball etc., and large low cost-ization can also be expected. In addition, when soldering paste etc. is formed in the patchboard (mother board: not shown) which mounts semiconductor device 201a shown in drawing 7, solder coat 119a is not necessarily required.

[0029] Next, etching can remove metal layer 101b (drawing 4 (q)), finally a solder resist 115 can be formed, and multilayer-interconnection plate 113a of this invention can be obtained (drawing 4 (r)). Drawing 4 (r) shows an example of multilayer-interconnection plate 113a which carried out the laminating of every two layers each of the connection layers to both sides of the core substrate 116, and the solder resist 115 is formed in the semiconductor chip 202a loading side of multilayer-interconnection plate 113a. As for the solder resist 115, opening of the part of a pad 114 is carried out.

[0030] According to the above process, terminal 120a for external connection can manufacture the multilayer-interconnection plate which consists metal core 118a and it of wrap solder coat 119a.

[0031] Then, it refers to drawing 5 and the manufacture approach of the multilayer-interconnection plate which is the 2nd operation gestalt by this invention is explained to a detail. - (q') is a sectional view for explaining the manufacture approach of the 2nd multilayer-interconnection plate of drawing 5 (o') and this invention, and is for explaining the process of drawing 3 (o) - drawing 4 (q) instead performed. Therefore, especially a different part from the manufacture approach of the 1st multilayer-interconnection plate is explained to a detail, and the same part omits explanation fundamentally here.

[0032] Solder coat 119b is formed in the front face of metal layer 101c in drawing 5 (o'). The approach of forming with nonelectrolytic plating, the approach of forming with electrolysis plating, and the approach of printing soldering paste are mentioned to the formation approach of solder coat 119b. In electrolysis plating, solder plating can be performed by the ability considering the metal layers 101b or 101c as the lead for electrolysis plating, and it can form solder coat 119b. In addition, when forming solder coat 119b with electrolysis plating or nonelectrolytic plating, naturally it is necessary to form plating resist (not shown) and to remove plating resist after plating termination so that solder coat 119b may be formed only in a required part.

[0033] Next, in drawing 5 (p'), metal core 118b is formed by etching metal layer 101c by using solder coat 119b as an etching mask. When the construction material of metal layer 101c is copper, a commercial ammonia system etching reagent can be used. Moreover, metal layer 101b is also etched.

[0034] Next, in drawing 5 (q'), a reflow of the solder coat 119b is carried out, and terminal 119b for external connection which consists of metal core 118b and solder coat 119b is formed. What is necessary is to carry out a reflow, after applying flux to solder coat 119b, and just to wash flux in that case. In addition, a reflow in this event is not indispensable, and since there is a reflow process in case semiconductor device 201a shown in drawing 7 is mounted in a patchboard (mother board: not shown), it is also possible to use it.

[0035] Then, it refers to drawing 6 and the manufacture approach of the multilayer-interconnection plate which is the 3rd operation gestalt by this invention is explained to a detail. Drawing 6 is the sectional view showing the 3rd multilayer-interconnection plate of this invention. Here, especially a different part from the manufacture approach of the 1st multilayer-interconnection plate is explained to a detail, and the same part omits explanation fundamentally.

[0036] In drawing 6, the metal layer (for example, metal layer 101b in drawing 4 (p)) used when forming the outermost layer of drum of the side which carries semiconductor chip 202b is etched, metal core 118c is formed, and solder coat 119c is formed further. Multilayer-interconnection plate 113b which has terminal 120c for external connection required since a semiconductor chip is mounted by this can be obtained. In addition, since the formation approach of terminal 120c for external connection is the same as that of the formation approach of terminal 120a for external connection in the 1st operation gestalt, and a basic target, explanation is omitted. Moreover, the formation approach of terminal 120b for external connection in the 2nd operation gestalt is also applicable.

[0037] By carrying semiconductor chips 202a and 202b in the multilayer-interconnection plates 113a and 113b obtained according to the above-mentioned process, semiconductor devices 201a and 201b can be obtained (drawing 7 (a) and (b)).

[0038] In addition, it is clear from old explanation and a drawing that the array's [the location and array] which forms the terminals 120a, 120b, and 120c for external connection it is mainly as follows.

(1) the land for connection and abbreviation to which the terminals 120a and 120b for external connection were mainly formed in the patchboard (mother board: not shown) which mounts semiconductor devices 201a and 201b — consider as same location and array.

(2) terminal 120c for external connection — mainly — the electrode of semiconductor chips 202a and 202b, and abbreviation — consider as same location and array. Moreover, since semiconductor chips 202a and 202b are mounted in the center section of the multilayer-interconnection plates 113a and 113b in many cases, they form terminal 120c for external connection so that it may become the location and array corresponding to it.

[0039] The greatest description of the multilayer-interconnection plate by this invention is the following two points.

(1) etch a metal layer, form a metal core and a solder coat is given — pillar-shaped — abbreviation — it comes to form the terminal for external connection which has uniform height

(2) Without using an expensive copper core solder ball etc., it is being able to form the terminal for external connection equivalent to it, and by that, large low cost-ization can be expected and improvement in connection dependability can also be expected further.

[0040]

[Example] Hereafter, although an example explains still more concretely, this invention is not limited at all by this.

[0041] The example m of mixing, 100g (PAS[by Nippon Kayaku Co., Ltd.]- 1, the OH radical equivalent 120) of p-cresol novolak resin, and 140g (RE[by Nippon Kayaku Co., Ltd.]- 404 S, the weight-per-epoxy-equivalent radical 165) of bisphenol female mold epoxy resins of adhesives were dissolved in cyclohexanone 60g, triphenylphosphine (Hokko Chemical Industry Co., Ltd. make) 0.2g was added as a curing catalyst, and the adhesives varnish was produced.

[0042] Example 1 (example 1 of manufacture of a multilayer-interconnection plate)

The roll lamination of the dry film resist (Asahi Chemical AQ- 2058) was carried out, exposure and development of were done using the predetermined negative film, and plating resist (plating resist 102) required for formation of a circuit pattern 104 was formed in the rolling copper plate

(metal layer 101a and EFTEC made from Furukawa electrical-and-electric-equipment industry-64 T) of 150-micrometer thickness which carried out roughening processing of the front face. Next, the resist metal layer (resist metal layer 103) which consists of gold with electrolysis plating was formed by having considered the rolling copper plate as the lead for electrolysis plating, and the circuit pattern (circuit pattern 104) was formed by carrying out electrolytic copper plating further. The circuit pattern was set to /thickness = 20 micrometer / 20 micrometers / 10 micrometers between line breadth/line. Next, copper foil with resin (Sumitomo Bakelite APL) was fabricated embedding the irregularity of a circuit pattern by vacuum lamination, overall etching of the copper foil was carried out, and the insulating layer (insulating layer 105) of 25-micrometer thickness was formed. Next, the beer (beer 106) of the diameter of 50 micrometer was formed by UV-YAG laser. Next, by considering a rolling copper plate as the lead for electrolysis plating, by carrying out electrolytic copper plating, beer was filled up with copper and the copper post (conductor post 107) was formed. Next, the Sn-Pb eutectic solder layer (junction public funds group ingredient layer 108) was formed on the copper post with electrolysis plating by considering a rolling copper plate as the lead for electrolysis plating. Next, with the bar coat, the above-mentioned adhesives varnish was dried at 80 degrees C for 20 minutes after applying to the field in which it was formed, the front face, i.e., the Sn-Pb eutectic solder layer, of an insulating layer, and the adhesives layer (adhesives layer 109) of 10-micrometer thickness was formed. According to the old process, the build up layer (connection layer 110) was able to be obtained. On the other hand, as a core substrate (core substrate 116), using the glass epoxy resin copper clad laminate (Sumitomo Bakelite ELC- 4781) equivalent to FR-5 in which the copper foil of 12-micrometer thickness was formed, copper foil was able to be etched, the circuit pattern and the land (joint 112-ed) were able to be formed, and the core layer (connected layer 111) was able to be obtained. Next, the positioning mark currently beforehand formed in the build up layer obtained according to the above-mentioned process and the core layer was read with image recognition equipment, alignment of both was carried out, and temporary sticking by pressure was carried out at the temperature of 100 degrees C. Furthermore, above-mentioned alignment and temporary sticking by pressure were able to be performed again, and what carried out temporary sticking by pressure of the build up layer was able to be obtained to both sides of a core layer. Heating application of pressure of this was carried out at the temperature of 220 degrees C with a press, the copper post penetrated the adhesives layer, and joined by solder to the land, and the build up layer was pasted up on both sides of a core layer by the adhesives layer. Next, the rolling copper plate was etched and removed using the cupric chloride solution. Furthermore, the above-mentioned process was repeated and the two-layer each laminating of the build up layer was carried out to both sides of a core layer.

[0043] Then, with the semiconductor chip (semiconductor chip 202a) loading side, the copper core (metal core 118a) of the terminal for external connection (terminal 120 for external connection a) was formed by etching selectively the rolling copper plate (metal layer 101c) used in order to form the outermost layer of drum (outermost-layer-of-drum 117b) of an opposite hand. The copper core was set to diameter: of the top 200 micrometer, diameter: of bottom product 300 micrometer, and height: 150 micrometer. Furthermore, electrolysis plating was performed by having considered the rolling copper plate (metal layer 101b) used in order to form the outermost layer of drum (outermost-layer-of-drum 117a) of a semiconductor chip loading side as the lead for electrolysis plating, and the Sn-Pb eutectic solder coat (solder coat 119a) with a thickness of 10 micrometers was formed. Finally, the solder resist (solder resist 115) was able to be formed and the multilayer-interconnection plate (multilayer-interconnection plate 113a) with which the terminal for external connection consists a copper core and it of a wrap Sn-Pb eutectic solder coat was able to be obtained.

[0044] Example 2 (example 2 of manufacture of a multilayer-interconnection plate)

In the example 1, only the rolling copper plate of 150-micrometer thickness used in order to form the outermost layer of drum of a semiconductor chip (semiconductor chip 202b) loading side was changed into the electrolytic copper foil (Mitsui Mining and Smelting 3 EC-VLP) of 70-micrometer thickness, and used the rolling copper plate like the example 1 except it.

[0045] The semiconductor chip (semiconductor chip 202b) loading side first formed in the outermost layer of drum (outermost-layer-of-drum 117b) of an opposite hand the terminal for external connection (terminal 120for external connection a) which consists of a copper core (metal core 118a) and a Sn-Pb eutectic solder coat (solder coat 119a) like the example 1.

[0046] Then, the copper core (metal core 118c) of the terminal for external connection (terminal 120for external connection c) was formed by etching selectively the electrolytic copper foil (metal layer 101c) used in order to form the outermost layer of drum of a semi-conductor PPU (semiconductor chip 202b) loading side. The copper core was set to diameter:of the top60micrometer, diameter:of bottom product100micrometer, and height:70micrometer.

Furthermore, with nonelectrolytic plating, the Sn-Pb eutectic solder coat (solder coat 119c) with a thickness of 10 micrometers was formed, and the external connection terminal (terminal 120for external connection c) was obtained. Thereby, the multilayer-interconnection plate (multilayer-interconnection plate 113b) was able to be obtained.

[0047]

[Effect of the Invention] Since the multilayer-interconnection plate obtained by this invention etches the metal layer used in order to manufacture a multilayer-interconnection plate, forms a metal core and gives a solder coat, it can form the terminal for external connection which has uniform height. Moreover, since the terminal for external connection equivalent to it can be formed without using an expensive copper core solder bump etc., large low cost-ization can be expected and improvement in connection dependability can also be expected further.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing an example of the manufacture approach of the multilayer-interconnection plate by the operation gestalt of this invention.

[Drawing 2] It is the sectional view showing an example of the manufacture approach of the multilayer-interconnection plate by the operation gestalt of this invention (continuation of drawing 1).

[Drawing 3] It is the sectional view showing an example of the manufacture approach of the multilayer-interconnection plate by the operation gestalt of this invention (continuation of drawing 2).

[Drawing 4] It is the sectional view showing an example of the manufacture approach of the multilayer-interconnection plate by the operation gestalt of this invention (continuation of drawing 3).

[Drawing 5] It is the sectional view showing other examples of the manufacture approach of the multilayer-interconnection plate by the operation gestalt of this invention.

[Drawing 6] It is the sectional view showing other examples of the manufacture approach of the multilayer-interconnection plate by the operation gestalt of this invention.

[Drawing 7] It is the sectional view showing an example of the semiconductor device manufactured using the multilayer-interconnection plate by the operation gestalt of this invention.

[Description of Notations]

101a, 101b, 101c Metal layer

102 Plating Resist

103 Resist Metal Layer

104 Circuit Pattern

105 Insulating Layer

106 Beer

107 Conductor -- Post

108 Metallic Material Layer for Junction

109 Adhesives Layer

110 Connection Layer

111 Connected Layer

112 Joint-ed

113a, 113b Multilayer-interconnection plate

114 Pad

115 Solder Resist

116 Core Substrate

117a, 117b Outermost layer of drum

118a, 118b, 118c Metal core

119a, 119b, 119c Solder coat

120a, 120b, 120c Terminal for external connection

201a, 201b Semiconductor device

202a, 202b Semiconductor chip

203 Solder Bump

204a, 202b Under-filling

[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

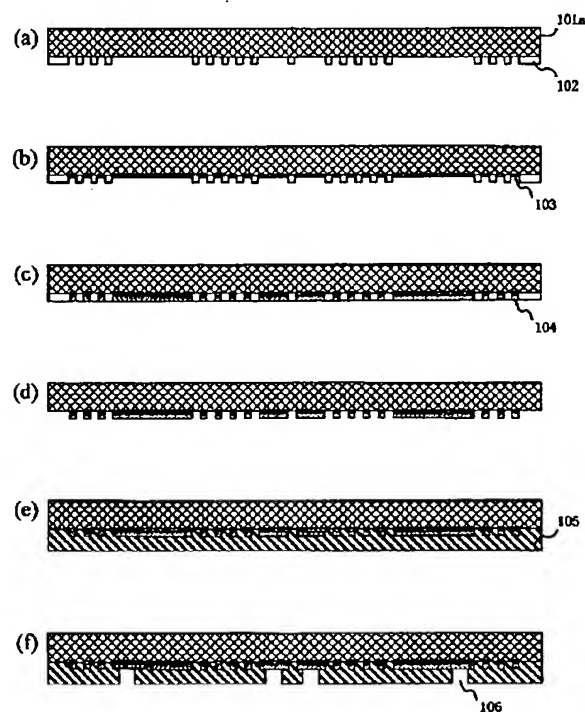
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

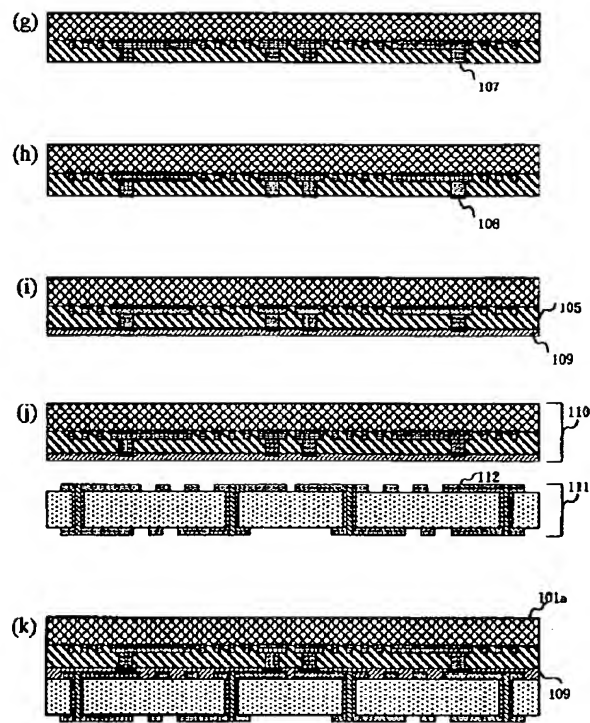
3.In the drawings, any words are not translated.

DRAWINGS

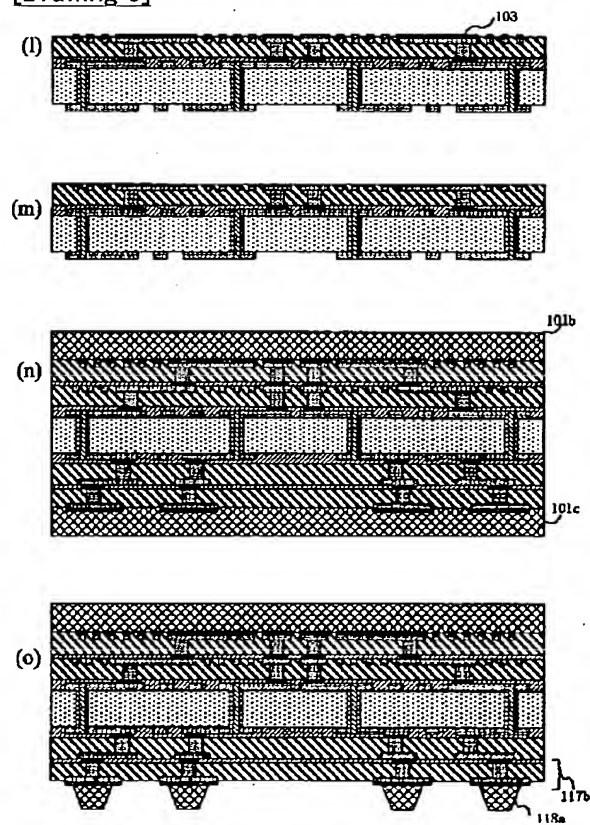
[Drawing 1]



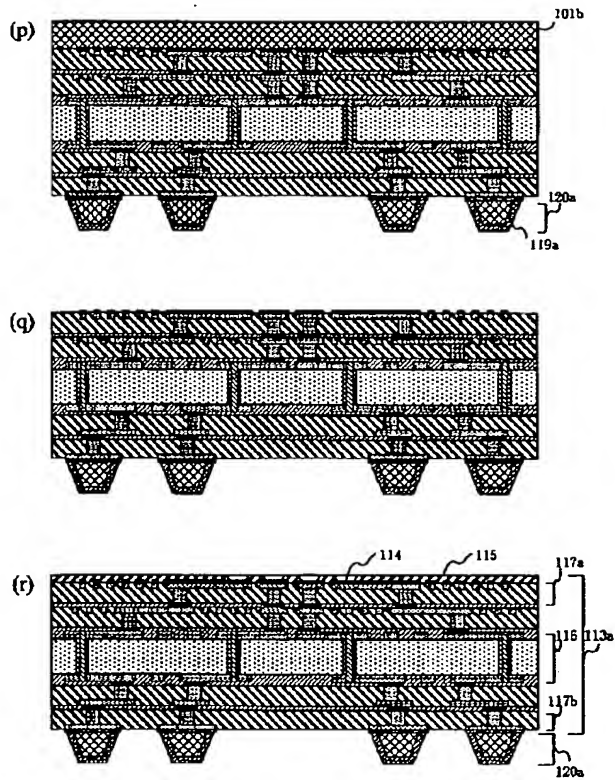
[Drawing 2]



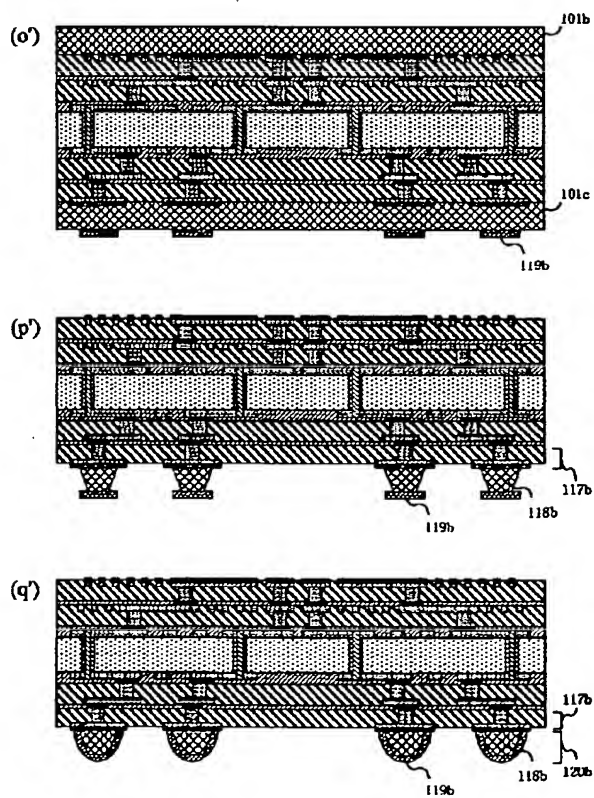
[Drawing 3]



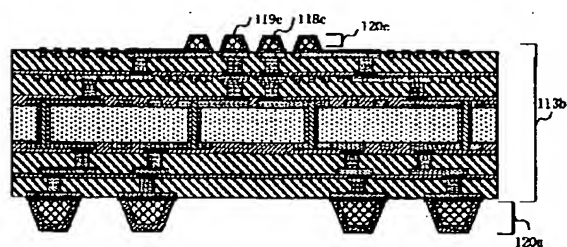
[Drawing 4]



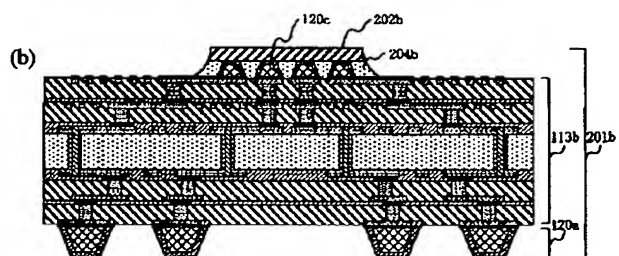
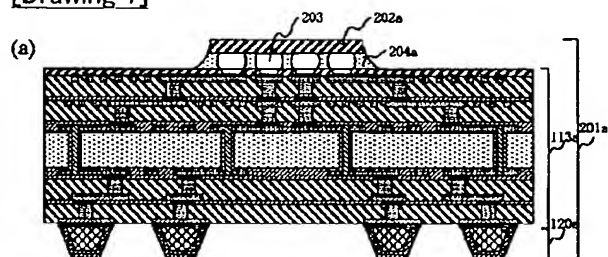
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-190549

(P2002-190549A)

(43) 公開日 平成14年7月5日(2002.7.5)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル*(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B 5 E 3 4 3
H 0 5 K 3/24		H 0 5 K 3/24	B 5 E 3 4 6
3/46		3/46	B
			N

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2001-305771(P2001-305771)

(22) 出願日 平成13年10月1日(2001.10.1)

(31) 優先権主張番号 特願2000-304078(P2000-304078)

(32) 優先日 平成12年10月3日(2000.10.3)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002141
住友ベークライト株式会社
東京都品川区東品川2丁目5番8号

(72) 発明者 青木 仁
東京都品川区東品川2丁目5番8号 住友
ベークライト株式会社内

(72) 発明者 奥川 良隆
東京都品川区東品川2丁目5番8号 住友
ベークライト株式会社内

(72) 発明者 中村 謙介
東京都品川区東品川2丁目5番8号 住友
ベークライト株式会社内

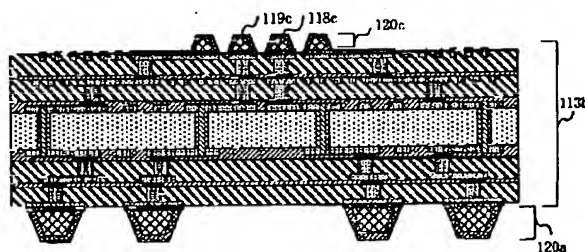
最終頁に続く

(54) 【発明の名称】 多層配線板および多層配線板の製造方法

(57) 【要約】 (修正有)

【課題】 接続信頼性の高い外部接続用端子を有する多層配線板を提供する。

【解決手段】 最外層に外部接続用端子120a、120cを有する多層配線板113bであって、外部接続用端子が、略均一な厚みの金属層をエッチングすることにより得られる柱状の金属コア118cからなり、金属コアと最外層の配線パターンの接続部が電解めっきまたは無電解めっきによる接続であることを特徴とする。



【特許請求の範囲】

【請求項1】 最外層に外部接続用端子を有する多層配線板であって、外部接続用端子が、略均一な厚みの金属層をエッチングすることにより得られる略均一な高さを有する柱状の金属コアからなり、金属コアと最外層の配線パターンとの接続部が電解めっきまたは無電解めっきによる接続であることを特徴とする多層配線板。

【請求項2】 金属コア表面の少なくとも一部が半田被膜で覆われていることを特徴とする請求項1記載の多層配線板。

【請求項3】 金属層を電解めっき用リードとして、配線パターンを電解めっきにより形成する工程と、金属層をエッチングにより除去する工程とを含む多層配線板の製造方法であって、多層配線板の最外層を形成する際に使用する金属層を部分的にエッチングして除去することにより、多層配線板の最外層上に金属コアを有する外部接続用端子を形成する工程を含んでなることを特徴とする多層配線板の製造方法。

【請求項4】 金属層を電解めっき用リードとして、配線パターンを電解めっきにより形成する工程と、配線パターン上に絶縁層を形成する工程、配線パターンの一部が露出するように絶縁層にビアを形成する工程と、金属層を電解めっき用リードとして、導体ポストを電解めっきにより形成する工程と、導体ポストの表面または被接続層の被接合部の表面の少なくとも一方に接合用金属材料層を形成する工程と、絶縁層の表面または被接続層の表面の少なくとも一方に接着剤層を形成する工程と、導体ポストと被接合部とを接着剤層を介して接合用金属材料層により接合し、絶縁層と被接続層とを接着剤層により接着する工程と、金属層をエッチングにより除去する工程とを含む多層配線板の製造方法であって、多層配線板の最外層を形成する際に使用する金属層を部分的にエッチングして除去することにより、多層配線板の最外層上に金属コアを有する外部接続用端子を形成する工程を含んでなることを特徴とする多層配線板の製造方法。

【請求項5】 金属コアの表面に半田被膜を形成することを特徴とする請求項3または請求項4に記載の多層配線板の製造方法。

【請求項6】 請求項3～請求項5のいずれかに記載の多層配線板の製造方法により、得られることを特徴とする多層配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線板および多層配線板の製造方法に関するものである。更に詳しくは、半導体チップを搭載する多層配線板に関し、接続信頼性の高い外部接続用端子を有する多層配線板の製造方法およびその製造方法により製造された多層配線板に関するものである。

【0002】

【従来の技術】近年の電子機器の高機能化並びに軽薄短小化の要求に伴い、電子部品の高密度集積化、さらには高密度実装化が進んできており、これらの電子機器に使用される半導体パッケージは、従来にも増して益々小型化かつ多ピン化が進んできている。

【0003】従来の回路基板はプリント配線板と呼ばれ、ガラス繊維の織布にエポキシ樹脂を含浸させた積層板からなるガラスエポキシ板に貼り付けられた銅箔をパターンニング後、複数枚重ねて積層接着し、ドリルで貫通穴を開けて、この穴の壁面に銅めっきを行ってビアを形成し層間の電気接続を行った配線基板の使用が主流であった。しかし、搭載部品の小型化、高密度化が進み、上記の配線基板では配線密度が不足して部品の搭載に問題が生じるようになってきている。

【0004】このような背景により、近年、ビルドアップ多層配線板が採用されている。ビルドアップ多層配線板は、樹脂のみで構成される絶縁層と導体とを積み重ねながら成形される。ビア形成方法としては、従来のドリル加工に代わって、レーザ法、プラズマ法やフォト法等、多岐にわたり、小径のビアホールを自由に配置することで高密度化を達成するものである。層間接続部としては、ブラインドビア (Blind Via) やバリードビア (Buried Via: ビアを導電体で充填した構造) 等があり、ビアの上にビアを形成するスタックドビアが可能なバリードビアホールが特に注目されている。バリードビアホールとしては、ビアホールをめっきで充填する方法と、導電性ペースト等で充填する場合とに分けられる。一方、配線パターンを形成する方法として、銅箔をエッチングする方法 (サブトラクティブ法)、電解銅めっきによる方法 (アディティブ法) 等があり、配線密度の高密度化に対応可能なアディティブ法が特に注目され始めている。

【0005】このような多層配線板を用いた半導体パッケージをプリント基板 (マザーボード) に搭載する場合には、半田バンパを使用することがごく一般的になってきた。半田バンパによる接続は、QFP (Quad Flat Package) のように金属リードを半田によって接続する方法と比較して接合面積が小さく、さらには金属リードによる応力緩和も無いため、接合信頼性の観点から、未だに多くの問題を抱えている。

【0006】一方、半導体チップを基板に実装する方法として、ワイヤーボンディング方式やTAB方式、さらにはフリップチップ方式などが知られているが、最近では、半導体パッケージの小型化に有利な、フリップチップ接続方式が注目されている。このフリップチップ接続方式では、半導体チップの電極にあらかじめ半田バンパを形成しておく必要がある。半田バンパを形成する方法として、真空蒸着法、印刷法、はんだボール整列法、スタッドバンパ法、電解メッキ法などが知られているが、製造時間、製造コスト、半田バンパの高さばらつきなど

の問題を抱えている。

【0007】半田バンプには、一般的に使用されているSn-37Pb（共晶半田）をはじめ、共晶に銀を少量添加したSn-36Pb-2Ag、Sn-3.5Agのような鉛フリー半田と、様々なタイプが使用されている。一方、銅コア半田バンプのように、銅コアの周囲に半田をコーティングしたタイプも検討されている。

【0008】エレクトロニクス実装学会誌、vol. 2、No. 4（1999）、P298-302には、「高温放置によりCuコアの有無に関わらず継手強度は低下するが、Cuコアはんだボールの方がSn-37PbはんだボールおよびSn-36Pb-2Agはんだボールよりも高温劣化しにくいことがわかった。」、「Cuコアはんだボールの場合、リフロー時にNiめっき層上に形成されるAu-Cu-Sn層が成長速度の速いNi-Snの反応を抑制するバリアー層として働くため、高温放置しても接合部に高温劣化の原因となるPb偏析層が形成されない。」と記載されている。銅コア半田ボールを使用することで接合信頼性を向上させることができるが、銅コア半田ボールはSn-37Pb半田ボールのように大量に使用されてはいたないため、大幅なコストアップにつながるものが容易に想像できる。

【0009】以上のように、銅コア半田バンプは高接続信頼性が期待できる反面、コストが高く、Sn-37Pb半田バンプのような銅コアの無い半田バンプはコストが低い反面、接続信頼性に問題がある。

【0010】

【発明が解決しようとする課題】本発明は、半導体チップを搭載する多層配線板における、半田バンプのこのような問題点に鑑み、接続信頼性の高い外部接続用端子を有する多層配線板およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】即ち、本発明は、次の多層配線板およびその製造方法を提供する。

(1) 最外層に外部接続用端子を有する多層配線板であって、外部接続用端子が、略均一な厚みの金属層をエッチングすることにより得られる略均一な高さを有する柱状の金属コアからなり、金属コアと最外層の配線パターンの接続部が電解めっきまたは無電解めっきによる接続であることを特徴とする多層配線板。

(2) 金属コア表面の少なくとも一部が半田被膜で覆われていることを特徴とする前記第(1)項記載の多層配線板。

(3) 金属層を電解めっき用リードとして、配線パターンを電解めっきにより形成する工程と、金属層をエッチングにより除去する工程とを含む多層配線板の製造方法であって、多層配線板の最外層を形成する際に使用する金属層を部分的にエッチングして除去することにより、多層配線板の最外層上に金属コアを有する外部接続用端

子を形成する工程を含んでなることを特徴とする多層配線板の製造方法。

(4) 金属層を電解めっき用リードとして、配線パターンを電解めっきにより形成する工程と、配線パターン上に絶縁層を形成する工程、配線パターンの一部が露出するように絶縁層にビアを形成する工程と、金属層を電解めっき用リードとして、導体ポストを電解めっきにより形成する工程と、導体ポストの表面または被接続層の被接合部の表面の少なくとも一方に接合用金属材料層を形成する工程と、絶縁層の表面または被接続層の表面の少なくとも一方に接着剤層を形成する工程と、導体ポストと被接合部とを接着剤層を介して接合用金属材料層により接合し、絶縁層と被接続層とを接着剤層により接着する工程と、金属層をエッチングにより除去する工程とを含む多層配線板の製造方法であって、多層配線板の最外層を形成する際に使用する金属層を部分的にエッチングして除去することにより、多層配線板の最外層上に金属コアを有する外部接続用端子を形成する工程を含んでなることを特徴とする多層配線板の製造方法。

(5) 金属コアの表面に半田被膜を形成することを特徴とする前記第(3)項または第(4)項に記載の多層配線板の製造方法。

(6) 前記第(3)項～第(5)項のいずれかに記載の多層配線板の製造方法により、得られることを特徴とする多層配線板。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明するが、本発明はこれによって何ら限定されるものではない。

【0013】図1(a)～図4(r)は、本発明による第1の実施形態である多層配線板の製造方法の一例を説明するための図で、図4(r)は本発明により得られる多層配線板の構造の一例を示す断面図である。

【0014】本発明の多層配線板の製造方法のとしては、まず、金属層101a上にパターンニングされためっきレジスト102を形成する(図1(a))。このめっきレジスト102は、例えば、金属層101a上に紫外線感光性のドライフィルムレジストをラミネートし、ネガフィルム等を用いて選択的に感光し、その後現像することにより形成できる。金属層101aの材質は、本発明の製造方法に適するものであればどのようなものでも良いが、特に、使用される薬液に対して耐性を有するものであって、最終的にエッチングにより除去可能であることが必要である。金属層101aの材質としては、例えば、銅、銅合金、42合金、ニッケル等が挙げられる。

【0015】次に、金属層101aを電解めっき用リードとして、レジスト金属層103を電解めっきにより形成する(図1(b))。この電解めっきにより、金属層101a上のめっきレジスト102が形成されていない

部分に、レジスト金属層103が形成される。レジスト金属層103の材質は、この製造方法に適するものであればどのようなものでも良いが、特に、最終的に金属層101aをエッチングにより除去する際に使用する薬液に対して耐性を有することが必要である。レジスト金属層103の材質としては、例えば、ニッケル、金、錫、銀、半田、パラジウム等が挙げられる。好ましいレジスト金属層の構成としては、金、銀、パラジウム、ニッケルのそれぞれの材質からなる1つ以上の層構成、金とニッケルの2層構成、または、半田を含む層構成である。なお、レジスト金属層103を形成する目的は、金属層101aをエッチングする際に使用する薬液により、図1(c)に示す配線パターン104が浸食・腐食されるのを防ぐことである。したがって、金属層101aをエッチングする際に使用する薬液に対して、図1(c)に示す配線パターン104が耐性を有している場合は、このレジスト金属層103は不要である。また、レジスト金属層103は配線パターン104と同一のパターンである必要はなく、金属層101a上にめっきレジスト102を形成する前に、金属層101aの全面にレジスト金属層103を形成しても良い。

【0016】次に、金属層101aを電解めっき用リードとして、配線パターン104を電解めっきにより形成する(図1(c))。この電解めっきにより、金属層101a上のめっきレジスト102が形成されていない部分に、配線パターン104が形成される。配線パターン104の材質としては、この製造方法に適するものであればどのようなものでも良いが、特に、最終的にレジスト金属層103をエッチングにより除去する際に使用する薬液に対して耐性を有することが必要である。実際は、配線パターン104を浸食・腐食しない薬液でエッチング可能なレジスト金属層103の材質を選定するのが得策である。配線パターン104の材質としては、例えば、銅、ニッケル、金、錫、銀、パラジウム等が挙げられる。さらには、銅を用いることで、低電気抵抗で安定した配線パターン104が得られる。

【0017】次に、めっきレジスト102を除去し(図1(d))、形成した配線パターン104上に絶縁層105を形成する(図1(e))。絶縁層105を構成する樹脂は、本発明の製造方法に適するものであればどのようなものでも使用できる。また、絶縁層105の形成方法は、使用する樹脂に適した方法で良く、樹脂ワニスを印刷、カーテンコート、バーコート等の方法で直接塗布したり、ドライフィルムタイプの樹脂を真空ラミネート、真空プレス等の方法で積層する方法が挙げられる。特に、市販されている樹脂付銅箔は入手が容易であり、真空ラミネートにより配線パターン104の凹凸を埋め込みながら成形し、最後に銅箔をエッチングすれば、絶縁層105の表面が配線パターン104の凹凸に影響されることがなく、非常に平坦になる。また、絶縁層105

の表面には銅箔表面の微細な粗化形状が転写されるため、図2(i)に示す接着剤層109との密着性を確保することができる。

【0018】次に、形成した絶縁層105にビア106を形成する(図1(f))。ビア106の形成方法は、本発明の製造方法に適する方法であればどのような方法でも良く、レーザー、プラズマによるドライエッチング、ケミカルエッチング等が挙げられる。また、絶縁層105を感光性樹脂とした場合には、絶縁層105を選択的に感光し、現像することでビア106を形成することもできる。

【0019】次に、金属層101aを電解めっき用リードとして、導体ポスト107を電解めっきにより形成する(図2(g))。この電解めっきにより、絶縁層105のビア106が形成されている部分に、導体ポスト107が形成される。電解めっきにより導体ポスト107を形成すれば、導体ポスト107の先端の形状を自由に制御することができる。導体ポスト107の材質としては、本発明の製造方法に適するものであればどのようなものでも良く、例えば、銅、ニッケル、金、錫、銀、パラジウム等が挙げられる。さらには、銅を用いることで、低電気抵抗で安定した導体ポスト107が得られる。

【0020】次に、導体ポスト107の表面(先端)に、接合用金属材料層108を形成する(図2(h))。接合用金属材料層108の形成方法としては、無電解めっきにより形成する方法、金属層101aを電解めっき用リードとして電解めっきにより形成する方法、接合用金属材料を含有するペーストを印刷する方法が挙げられる。印刷による方法では、印刷用マスクを導体ポスト107に対して精度良く位置合わせする必要があるが、無電解めっきや電解めっきによる方法では、導体ポスト107の表面以外に接合用金属材料層108が形成されることがないため、導体ポスト107の微細化・高密度化にも対応しやすい。特に、電解めっきによる方法では、無電解めっきによる方法よりも、めっき可能な金属が多種多様であり、また薬液の管理も容易であるため、非常に好適である。接合用金属材料層108の材質としては、図2(j)に示す被接合部112と金属接合可能な金属であればどのようなものでもよく、例えば、半田が挙げられる。半田の中でも、SnやIn、もしくはSn、Ag、Cu、Zn、Bi、Sb、Pb、In、Auの少なくとも二種からなる半田を使用することが好ましい。より好ましくは、環境に優しいPbフリー半田である。なお、図2(h)では、導体ポスト107の表面に接合用金属材料層108を形成する例を示したが、接合用金属材料層108を形成する目的は、導体ポスト107と被接合部112とを接合させることであるため、被接合部112に接合用金属材料層108を形成しても構わない。もちろん、導体ポスト107と被接合

部112の両表面に形成しても構わない。

【0021】次に、絶縁層105の表面に、接着剤層109を形成する(図2(i))。接着剤層109の形成は、使用する接着剤樹脂に依じて適した方法で良く、樹脂ワニスを印刷、カーテンコート、バーコート等の方法で直接塗布したり、ドライフィルムタイプの樹脂を真空ラミネート、真空プレス等の方法で積層する方法が挙げられる。なお、図2(i)では、絶縁層105の表面に接着剤層109を形成する例を示したが、被接続層111の表面に接着剤層109を形成しても構わない。もちろん、絶縁層105と被接続層111の両表面に形成しても構わない。

【0022】次に、上述の工程により得られた接続層110と被接続層111とを位置合わせする(図2(j))。位置合わせは、接続層110および被接続層111に予め形成されている位置決めマークを、画像認識装置により読み取り位置合わせする方法、位置合わせ用のピン等で位置合わせする方法等を用いることができる。なお、図2(j)では、被接続層111として、図4(r)に示す多層配線板113aにリジッド性を持たせるために用いるFR-4等のコア基板116を使用する例を示したが、図1(d)に示すような、金属層101aに配線パターン104を形成しただけのものを使用することもできる。

【0023】次に、接続層110および被接続層111とを積層する(図2(k))。積層方法としては、例えば、真空プレスを用いて、導体ポスト107が、接着剤層109を介して、接合用金属材料層108により被接合部112と金属接合するまで加圧し、更に加熱して接着剤層109を硬化させて、接続層110と被接続層111とを接着することができる。

【0024】次に、金属層101aをエッチングにより除去する(図3(l))。金属層101aと配線パターン104との間にレジスト金属層103が形成されており、そのレジスト金属層103は、金属層101aをエッチングにより除去する際に使用する薬液に対して耐性を有しているため、金属層101aをエッチングしてもレジスト金属層103が浸食・腐食されることがなく、結果的に配線パターン104が浸食・腐食されることはない。金属層101aの材質が銅、レジスト金属層103の材質がニッケル、錫または半田の場合、市販のアンモニア系エッチング液を使用することができる。金属層101aの材質が銅、レジスト金属層103の材質が金や銀の場合、塩化第二鉄溶液、塩化第2銅溶液を含め、ほとんどのエッチング液を使用することができる。

【0025】次に、レジスト金属層103をエッチングにより除去する(図3(m))。配線パターン104は、レジスト金属層103をエッチングにより除去する際に使用する薬液に対して耐性を有するため、配線パターン104は浸食・腐食されることはない。そのため、

レジスト金属層103が除去されることにより、配線パターン104が露出する。配線パターン104の材質が銅、レジスト金属層103の材質がニッケル、錫または半田の場合、市販の半田・ニッケル剥離剤(例えば、三菱ガス化学製、Pewtax)を使用することができる。配線パターン104の材質が銅、レジスト金属層103の材質が金の場合、配線パターン104を浸食・腐食させることなく、レジスト金属層103をエッチングすることは困難である。この場合には、レジスト金属層103をエッチングする工程を省略し、レジスト金属層103を残したままでも良い。

【0026】続いて、上述の工程、すなわち図2(j)～図3(m)を繰り返して行う。すなわち、図3(m)に示す多層配線板113(113a, 113b)の製造途中のものを被接続層として使用し、図2(j)に示す積層工程を行うことによりコア基板116の両面に接続層を形成し、さらに、これにより得られたものを被接続層として、図2(j)～図3(m)に示す積層工程を繰り返して行うことにより、コア基板116の両面に、例えば2層ずつ接続層を形成する(図3(n))。

【0027】図3(o)～図4(p)は、多層配線板113aの半導体チップ202a搭載面とは反対側の最外層117bに外部接続用端子120aを形成する工程を説明するための図である。すなわち、多層配線板113aの最外層117bを形成するために用いた金属層101cを部分的にエッチングすることにより、外部接続用端子120aの金属コア118aを形成する(図3(o))。続いて、形成された金属コア118aを覆うように半田被膜119aを形成する(図4(p))。半田被膜119aの形成方法には、無電解めっきにより形成する方法、電解めっきにより形成する方法、半田ペーストを印刷する方法が挙げられる。電解めっきの場合は、多層配線板113aの半導体チップ202a搭載面の最外層117aを形成するために用いた金属層101bを電解めっき用リードとして、半田めっきを行って、半田被膜119aを形成することができる。

【0028】金属層101cの材質が銅または銅を主成分とする銅合金の場合には、外部接続用端子120aが銅コア(金属コア118a)に半田被膜119aが形成された構造となる。したがって、外部接続用端子120aを半田のみで形成する場合と比較して、接続信頼性の向上が期待できる。また、多層配線板113aを製造するために用いた金属層101cをエッチングして金属コア118aを形成し、半田被膜119aを施すため、高価な銅コア半田ボール等を使用することなく同等の効果をj得ることができ、大幅な低コスト化も期待できる。なお、図7に示す半導体デバイス201aを実装する配線板(マザーボード:図示せず)に半田ペースト等が形成されている場合には、半田被膜119aは必ずしも必要ではない。

【0029】次に、金属層101bをエッチングにより除去し(図4(q))、最後にソルダーレジスト115を形成して、本発明の多層配線板113aを得ることができる(図4(r))。図4(r)は、コア基板116の両面に各2層ずつ接続層を積層した多層配線板113aの一例を示しており、多層配線板113aの半導体チップ202a搭載面には、ソルダーレジスト115が形成されている。ソルダーレジスト115は、パッド114の部分が開口されている。

【0030】以上の工程により、外部接続用端子120aが金属コア118aおよびそれを覆う半田被膜119aからなる多層配線板を製造することができる。

【0031】続いて、本発明による第2の実施形態である多層配線板の製造方法について、図5を参考にして詳細に説明する。図5(o')~(q')は、本発明の第2の多層配線板の製造方法を説明するための断面図であり、図3(o)~図4(q)の代わりに行う工程を説明するためのものである。従ってここでは、第1の多層配線板の製造方法とは異なる部分を特に詳細に説明し、同じ部分は基本的に説明を省略する。

【0032】図5(o')において、金属層101cの表面に半田被膜119bを形成する。半田被膜119bの形成方法には、無電解めっきにより形成する方法、電解めっきにより形成する方法、半田ペーストを印刷する方法が挙げられる。電解めっきの場合は、金属層101bまたは101cを電解めっき用リードとして、半田めっきを行って、半田被膜119bを形成することができる。なお、電解めっきまたは無電解めっきにより半田被膜119bを形成する場合には、必要な部分にのみ半田被膜119bが形成されるよう、めっきレジスト(図示せず)を形成し、めっき終了後にめっきレジストを除去する必要があるのは当然である。

【0033】次に、図5(p')において、半田被膜119bをエッチングマスクとして、金属層101cをエッチングすることにより、金属コア118bを形成する。金属層101cの材質が銅の場合、市販のアンモニア系エッチング液を使用することができる。また、金属層101bもエッチングしておく。

【0034】次に、図5(q')において、半田被膜119bをリフローさせて、金属コア118bと半田被膜119bからなる外部接続用端子119bを形成する。その際、半田被膜119bにフラックスを塗布してからリフローさせ、フラックスを洗浄すればよい。なお、この時点でのリフローは必須ではなく、図7に示す半導体デバイス201aを配線板(マザーボード:図示せず)に実装する際にリフロー工程があるため、それを利用することも可能である。

【0035】続いて、本発明による第3の実施形態である多層配線板の製造方法について、図6を参考にして詳細に説明する。図6は、本発明の第3の多層配線板を示

す断面図である。ここでは、第1の多層配線板の製造方法とは異なる部分を特に詳細に説明し、同じ部分は基本的に説明を省略する。

【0036】図6において、半導体チップ202bを搭載する側の最外層を形成する際に使用した金属層(例えば、図4(p)における金属層101b)をエッチングして、金属コア118cを形成し、さらに半田被膜119cを形成する。これにより、半導体チップを実装するために必要な外部接続用端子120cを有する多層配線板113bを得ることができる。なお、外部接続用端子120cの形成方法は、第1の実施形態における外部接続用端子120aの形成方法と同様であるため、説明を省略する。また、第2の実施形態における外部接続用端子120bの形成方法も適用できる。

【0037】上述の工程により得られた多層配線板113aおよび113bに半導体チップ202aおよび202bを搭載することにより、半導体デバイス201aおよび201bを得ることができる(図7(a)および(b))。

【0038】なお、外部接続用端子120a、120b、120cを形成する位置・配列は、主として次のようになることは、これまでの説明および図面から明らかである。

(1) 外部接続用端子120a、120bは、主として、半導体デバイス201a、201bを実装する配線板(マザーボード:図示せず)に形成された接続用ランドと略同じ位置・配列とする。

(2) 外部接続用端子120cは、主として、半導体チップ202a、202bの電極と略同じ位置・配列とする。また、半導体チップ202a、202bは、多層配線板113a、113bの中央部に実装することが多いため、それに対応した位置・配列となるよう、外部接続用端子120cを形成する。

【0039】本発明による多層配線板の最大の特徴は次の2点である。

(1) 金属層をエッチングして金属コアを形成し、半田被膜が施されることで、柱状で略均一な高さを有する外部接続用端子が形成されてなる。

(2) 高価な銅コア半田ボール等を使用することなく、それと同等な外部接続用端子を形成できることであり、そのことにより、大幅な低コスト化が期待でき、さらには、接続信頼性の向上も期待できる。

【0040】

【実施例】以下、実施例により更に具体的に説明するが、本発明はこれによって何ら限定されるものではない。

【0041】接着剤の調合例

m, p-クレゾールノボラック樹脂(日本化薬(株)製PAS-1、OH基当量120)100gと、ビスフェノールF型エポキシ樹脂(日本化薬(株)製RE-404

S、エポキシ当量基165) 140gを、シクロヘキサノン60gに溶解し、硬化触媒としてトリフェニルフォスフィン(北興化学工業(株)製)0.2gを添加し、接着剤ワニスを作製した。

【0042】実施例1(多層配線板の製造例1)

表面を粗化処理した150 μ m厚の圧延銅板(金属層101a・古川電気工業製EFTEC-64T)にドライフィルムレジスト(旭化成製AQ-2058)をロールラミネートし、所定のネガフィルムを用いて露光・現像し、配線パターン104の形成に必要なめっきレジスト(めっきレジスト102)を形成した。次に、圧延銅板を電解めっき用リードとして、電解めっきにより金からなるレジスト金属層(レジスト金属層103)を形成し、さらに電解銅めっきすることにより配線パターン(配線パターン104)を形成した。配線パターンは、線幅/線間/厚み=20 μ m/20 μ m/10 μ mとした。次に、樹脂付銅箔(住友ベークライト製APL)を真空ラミネートにより配線パターンの凹凸を埋め込みながら成形し、銅箔を全面エッチングして、25 μ m厚の絶縁層(絶縁層105)を形成した。次に、50 μ m径のビア(ビア106)をUV-YAGレーザーにより形成した。次に、圧延銅板を電解めっき用リードとして、電解銅めっきすることによりビアを銅で充填し、銅ポスト(導体ポスト107)を形成した。次に、圧延銅板を電解めっき用リードとして、電解めっきにより銅ポスト上にSn-Pb共晶半田層(接合用金属材料層108)を形成した。次に、バーコートにより、上述の接着剤ワニスを、絶縁層の表面、すなわちSn-Pb共晶半田層が形成された面に塗布後、80℃で20分乾燥し、10 μ m厚の接着剤層(接着剤層109)を形成した。これまでの工程により、ビルドアップ層(接統層110)を得ることができた。一方、コア基板(コア基板116)として、12 μ m厚の銅箔が形成されたFR-5相当のガラスエポキシ樹脂銅張積層板(住友ベークライト製ELC-4781)を用い、銅箔をエッチングして配線パターンおよびランド(被接合部112)を形成し、コア層(被接統層111)を得ることができた。次に、上述の工程により得られたビルドアップ層とコア層に予め形成されている位置決めマークを、画像認識装置により読み取り、両者を位置合わせし、100℃の温度で仮圧着した。さらに、上述の位置合せ・仮圧着を再度行い、コア層の両面にビルドアップ層を仮圧着したものを得ることができた。これを、プレスにより220℃の温度で加熱加圧して、銅ポストが、接着剤層を貫通してランドと半田接合し、接着剤層によりコア層の両面にビルドアップ層を接着した。次に、塩化第2銅溶液を用いて圧延銅板をエッチングして除去した。さらに、上述の工程を繰返し、コア層の両面にビルドアップ層を各2層積層した。

【0043】続いて、半導体チップ(半導体チップ20

2a)搭載面とは反対側の最外層(最外層117b)を形成するために用いた圧延銅板(金属層101c)を部分的にエッチングすることにより、外部接統用端子(外部接統用端子120a)の銅コア(金属コア118a)を形成した。銅コアは、トップ径:200 μ m、ボトム径:300 μ m、高さ:150 μ mとなった。さらに、半導体チップ搭載面の最外層(最外層117a)を形成するために用いた圧延銅板(金属層101b)を電解めっき用リードとして、電解めっきを行い、厚み10 μ mのSn-Pb共晶半田被膜(半田被膜119a)を形成した。最後に、ソルダーレジスト(ソルダーレジスト115)を形成し、外部接統用端子が銅コアおよびそれを覆うSn-Pb共晶半田被膜からなる多層配線板(多層配線板113a)を得ることができた。

【0044】実施例2(多層配線板の製造例2)

実施例1において、半導体チップ(半導体チップ202b)搭載面の最外層を形成するために使用した150 μ m厚の圧延銅板のみ、70 μ m厚の電解銅箔(三井金属鉱業製3EC-VLP)に変更し、それ以外は実施例1と同様、圧延銅板を使用した。

【0045】まず実施例1と同様にして、半導体チップ(半導体チップ202b)搭載面とは反対側の最外層(最外層117b)に、銅コア(金属コア118a)とSn-Pb共晶半田被膜(半田被膜119a)からなる外部接統用端子(外部接統用端子120a)を形成した。

【0046】続いて、半導体チップ(半導体チップ202b)搭載面の最外層を形成するために使用した電解銅箔(金属層101c)を部分的にエッチングすることにより、外部接統用端子(外部接統用端子120c)の銅コア(金属コア118c)を形成した。銅コアは、トップ径:60 μ m、ボトム径:100 μ m、高さ:70 μ mとなった。さらに、無電解めっきにより、厚み10 μ mのSn-Pb共晶半田被膜(半田被膜119c)を形成し、外部接統端子(外部接統用端子120c)を得た。これにより、多層配線板(多層配線板113b)を得ることができた。

【0047】

【発明の効果】本発明により得られる多層配線板は、多層配線板を製造するために用いた金属層をエッチングして金属コアを形成し、半田被膜を施すため、均一な高さを有する外部接統用端子を形成できる。また、高価な銅コア半田バンプ等を使用することなく、それと同等な外部接統用端子を形成できるため、大幅な低コスト化が期待でき、さらには、接統信頼性の向上も期待できる。

【図面の簡単な説明】

【図1】 本発明の実施形態による多層配線板の製造方法の一例を示す断面図である。

【図2】 本発明の実施形態による多層配線板の製造方法の一例を示す断面図である(図1の続き)。

【図3】 本発明の実施形態による多層配線板の製造方法の一例を示す断面図である（図2の続き）。

【図4】 本発明の実施形態による多層配線板の製造方法の一例を示す断面図である（図3の続き）。

【図5】 本発明の実施形態による多層配線板の製造方法の他の一例を示す断面図である。

【図6】 本発明の実施形態による多層配線板の製造方法の他の一例を示す断面図である。

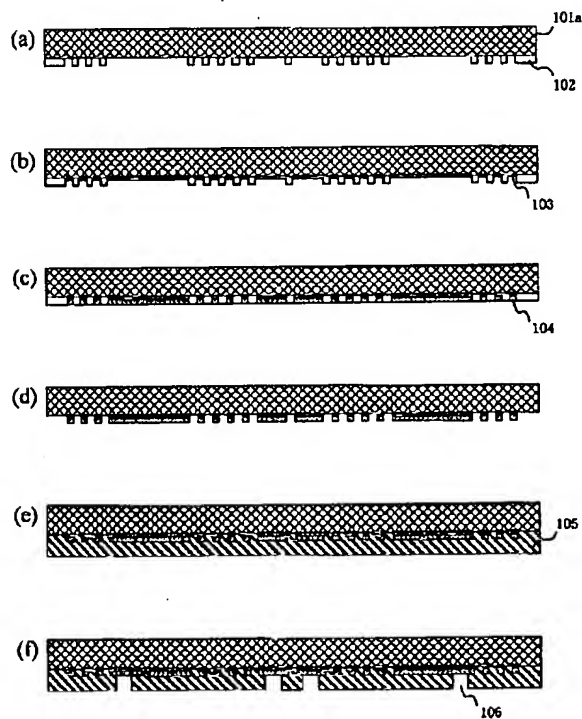
【図7】 本発明の実施形態による多層配線板を使用して製造した半導体デバイスの一例を示す断面図である。

【符号の説明】

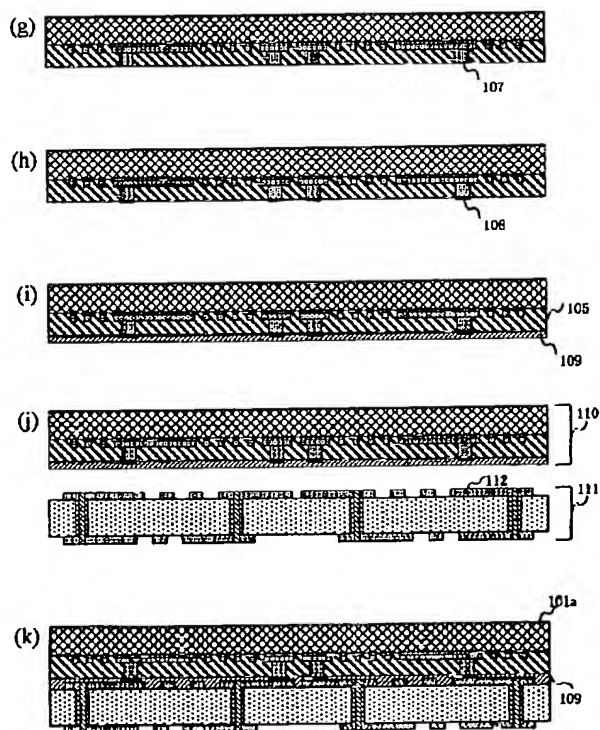
101a、101b、101c 金属層
102 めっきレジスト
103 レジスト金属層
104 配線パターン
105 絶縁層
106 ビア
107 導体ポスト

108 接合用金属材料層
109 接着剤層
110 接続層
111 被接続層
112 被接合部
113a、113b 多層配線板
114 パッド
115 ソルダーレジスト
116 コア基板
117a、117b 最外層
118a、118b、118c 金属コア
119a、119b、119c 半田被膜
120a、120b、120c 外部接続用端子
201a、201b 半導体デバイス
202a、202b 半導体チップ
203 半田バンパ
204a、202b アンダーフィル

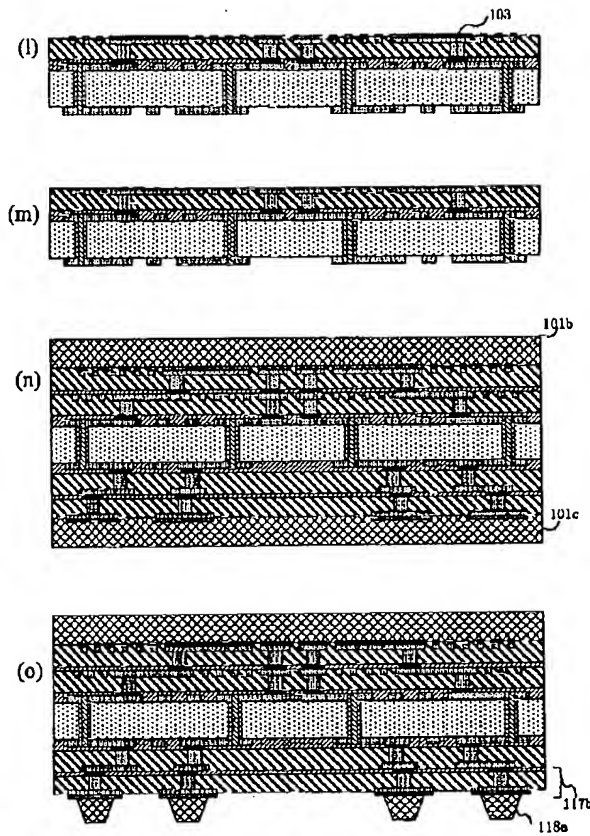
【図1】



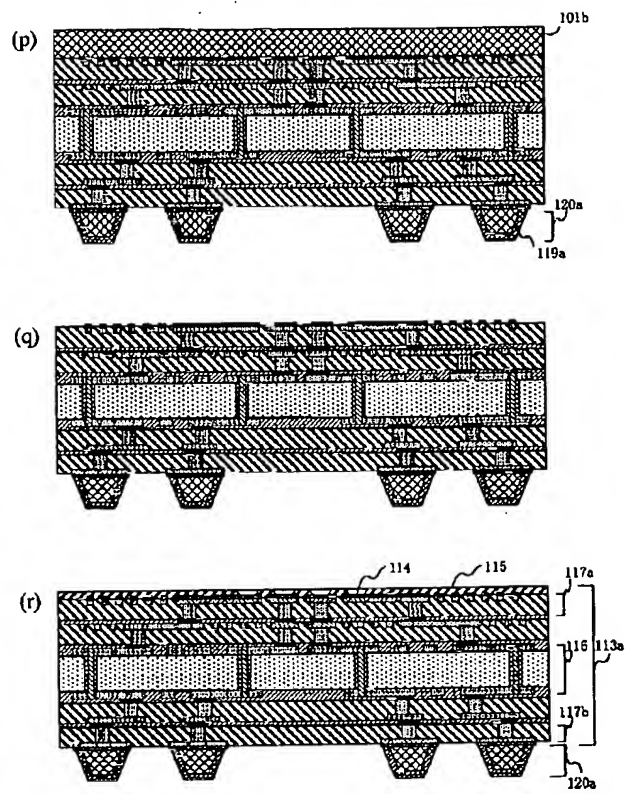
【図2】



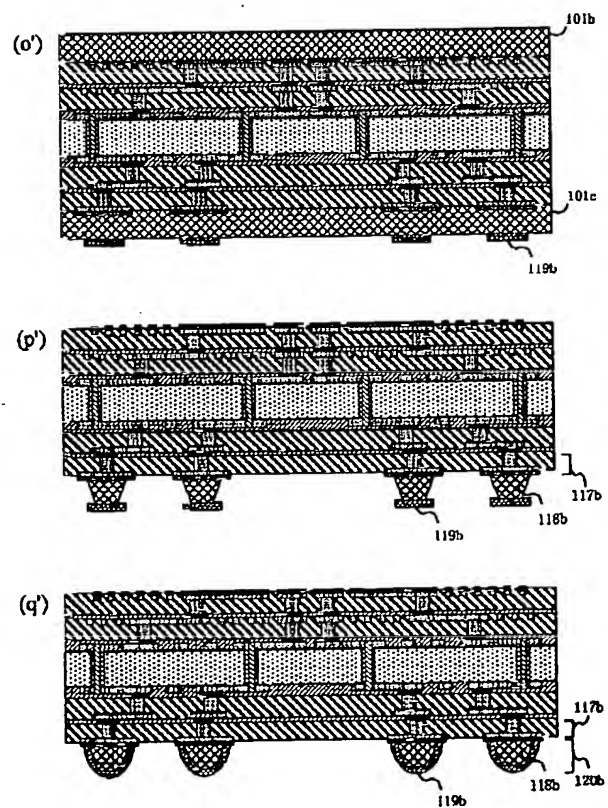
【図3】



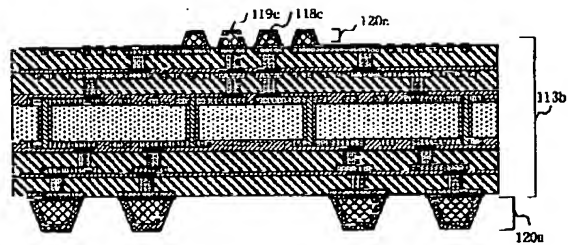
【図4】



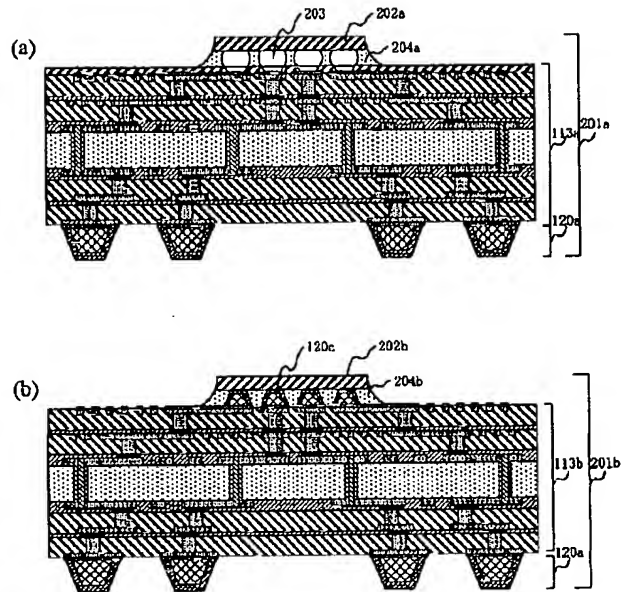
【図5】



【図6】



【図 7】



フロントページの続き

(72)発明者 加藤 正明
東京都品川区東品川2丁目5番8号 住友
ベークライト株式会社内
(72)発明者 原 英貴
東京都品川区東品川2丁目5番8号 住友
ベークライト株式会社内

Fターム(参考) 5E343 AA02 AA22 BB09 BB16 BB24
BB33 BB34 BB54 BB61 BB71
CC61 DD43 DD76 ER21 ER26
GG11
5E346 AA06 AA12 AA15 AA16 AA22
AA35 AA43 BB01 BB16 CC32
CC40 CC41 CC54 DD01 DD22
DD33 EE31 FF14 FF34 FF35
FF36 GG15 GG25 GG28 HH07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.